

# SEMICONDUCTOR INTEGRATED CIRCUIT AND SOLID-STATE IMAGING ELEMENT

Publication number: JP2000232214

Publication date: 2000-08-22

Inventor: SUZUKI SATOSHI

Applicant: NIPPON KOGAKU KK

Classification:

- international: H01L31/10; H01L21/205; H01L27/146; H01L31/10;  
H01L31/10; H01L21/02; H01L27/146; H01L31/10;  
(IPC1-7): H01L27/146; H01L21/205; H01L31/10

- European:

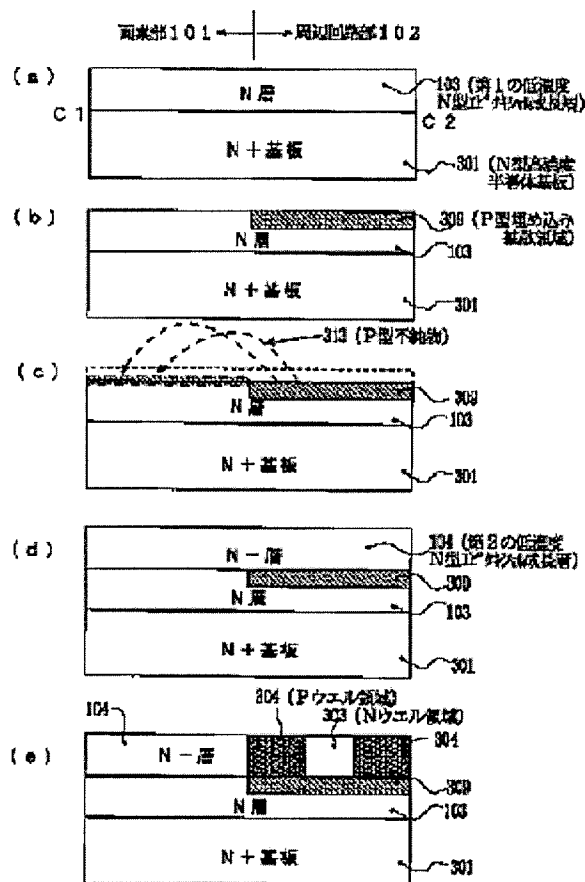
Application number: JP19990034222 19990212

Priority number(s): JP19990034222 19990212

Report a data error here

## Abstract of JP2000232214

**PROBLEM TO BE SOLVED:** To restrain the formation of a biased lamination layer by a method wherein the impurity concentration in a first region of first conductivity type is made higher than that in a second region of first conductivity type. **SOLUTION:** The impurity concentration in an N-type first low-concentration epitaxial growth layer 103 is formed moderately higher than that in a second epitaxial growth layer 104. The temperature of the N-type impurities in such the layer 103 becomes a high temperature at the time of the formation of the N-type second low-concentration epitaxial growth layer 104, in short, at the time of the second-time epitaxial growth of the layer 104 and the N-type impurities are diffused in the side of the upper layer (the opposite side to a substrate) of the layer 103 in a thickness of about 1  $\mu$ m. P-type impurities 313, which are specially mixed remarkably in the layer 103 at the time of this second-time epitaxial growth, can be offset with the N-type impurities, which are diffused in such a manner, to a certain degree. Accordingly, the formation of a biased lamination layer becomes a negligible degree.



Data supplied from the esp@cenet database - Worldwide



**Family list****1** family member for: **JP2000232214**

Derived from 1 application

[Back to JP2000232](#)**1 SEMICONDUCTOR INTEGRATED CIRCUIT AND SOLID-STATE  
IMAGING ELEMENT****Inventor:** SUZUKI SATOSHI**Applicant:** NIPPON KOGAKU KK**EC:****IPC:** *H01L31/10; H01L21/205; H01L27/146* (+8)**Publication info:** **JP2000232214 A** - 2000-08-22

---

Data supplied from the **esp@cenet** database - Worldwide



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-232214  
(P2000-232214A)

(43)公開日 平成12年8月22日(2000.8.22)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームト*(参考)
H 0 1 L 27/146		H 0 1 L 27/14	A 4 M 1 1 8
21/205		21/205	5 F 0 4 j
31/10		31/10	A 5 F 0 4 9

審査請求 未請求 請求項の数6 O L (全 12 頁)

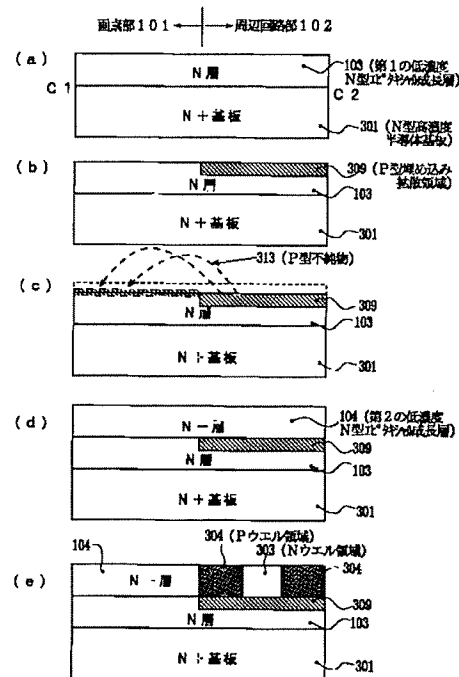
(21)出願番号	特願平11-34222	(71)出願人	000004112 株式会社ニコン
(22)出願日	平成11年2月12日(1999.2.12)	(72)発明者	鈴木 智 東京都千代田区丸の内3丁目2番3号 株 式会社ニコン内
		(74)代理人	100072718 弁理士 古谷 史旺 (外1名)
		Fターム(参考)	4M118 AA01 AA04 AB01 BA14 CA03 CA09 DD12 EA01 FA06 GB11 GB15 5F045 AB02 AF03 AF16 BB04 BB06 5F049 MA03 NA04 NB05 PA03 QA15 RA08 SE11

(54)【発明の名称】 半導体集積回路および固体撮像素子

(57)【要約】

【課題】 本発明は、複数種類の回路部を混在形成するための基礎構造として、第1導電型半導体基体上に第1の第1導電型領域と第2の第1導電型領域とが順に積層され、そのうち一部種類の回路部の形成区域については、前記2つの第1導電型領域の間に第2導電型埋め込み領域が設けられている半導体集積回路および固体撮像素子に関し、第2の第1導電型領域形成時に生じる第2導電型埋め込み領域の不純物偏積を抑えることによって、回路の性能を向上させることを目的とする。

【解決手段】 第1の第1導電型領域(第1の低濃度Nエピタキシャル成長層103)の不純物濃度を、第2の第1導電型領域(第2の低濃度Nエピタキシャル成長層104)の不純物濃度よりも高くすることを特徴とする。



【特許請求の範囲】

【請求項1】 複数種類の回路部を混在形成するための基礎構造として、第1導電型半導体基体上に第1の第1導電型領域と第2の第1導電型領域とが順に積層され、そのうち一部種類の回路部の形成区域については、前記2つの第1導電型領域の間に第2導電型埋め込み領域が設けられている半導体集積回路において、前記第1の第1導電型領域の不純物濃度は、前記第2の第1導電型領域の不純物濃度よりも高いことを特徴とする半導体集積回路。

【請求項2】 請求項1に記載の半導体集積回路において、前記第1の第1導電型領域の不純物濃度は、前記第2の第1導電型領域の不純物濃度の2倍以上であることを特徴とする半導体集積回路。

【請求項3】 請求項1または請求項2に記載の半導体集積回路において、前記第1の第1導電型領域の不純物濃度は、前記第2導電型埋め込み領域の不純物濃度の1/10倍以上であることを特徴とする半導体集積回路。

【請求項4】 請求項1から請求項3の何れか1項に記載の半導体集積回路において、前記第1導電型はN型であり、かつ前記第2導電型はP型であることを特徴とする半導体集積回路。

【請求項5】 請求項1から請求項4の何れか1項に記載の半導体集積回路において、前記第2の第1導電型領域は、エピタキシャル法（気相成長法）により形成されることを特徴とする半導体集積回路。

【請求項6】 画素部および周辺回路部の共通の基礎構造として、第1導電型半導体基体上に第1の第1導電型領域と第2の第1導電型領域とが順に積層され、そのうち前記周辺回路部の形成区域については、前記2つの第1導電型領域の間に第2導電型埋め込み領域が設けられている固体撮像素子において、前記第1の第1導電型領域の不純物濃度は、前記第2の第1導電型領域の不純物濃度よりも高いことを特徴とする固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数種類の回路部を混在形成するための基礎構造として、第1導電型半導体基体上に第1の第1導電型領域と第2の第1導電型領域とが順に積層され、そのうち一部種類の回路部の形成区域については、前記2つの第1導電型領域の間に第2導電型埋め込み領域が設けられている半導体集積回路および固体撮像素子に関する。

【0002】

【従来の技術】感度向上のために、各画素に信号増幅用のトランジスタを設けた固体撮像素子が種々提案されて

おり、これらは一般に増幅型固体撮像素子と呼ばれている。図10に示した如く、増幅型固体撮像素子（以下、単に「固体撮像素子」という。）320は、他の種類の固体撮像素子と同様、画素部321と周辺回路部322が同一チップ上に形成されてなる。

【0003】図11は、画素部321の単位画素画素をなす単位セルの平面図である。図12は、図11のX-X'位置における断面図であり、図13は、図11のY-Y'位置における断面図である。なお、このような単位セルは、特開平5-110052号公報にも従来例として開示されている。先ず、単位セルの構造から明らかに、固体撮像素子320の画素部321には、N型高濃度半導体基板301上に、低濃度N型エピタキシャル成長層302、低濃度N型エピタキシャル成長層312が順に形成され、これらの層を基礎構造としてフォトダイオード領域360が形成されている（図中、符号375で示す領域については後述する）。

【0004】各単位セルのフォトダイオード領域360には、上記N型高濃度半導体基板301をコレクタ領域367として縦方向にベース領域（制御電極）361およびエミッタ領域（主電極）362を有したバイポーラトランジスタが形成され、このベース領域361が光電変換部として使用される。これらコレクタ領域367とベース領域361との間に位置する低濃度N型エピタキシャル成長層302、312の不純物濃度の低い領域368は、空乏層が形成される領域である。

【0005】この単位セルには、エミッタ領域362に連結されるエミッタ電極372および信号出力線363や、単位セルをセンサ動作させるための駆動線364、ベース領域361と駆動線364を両電極とする容量365等が形成されている。さらに、ベース領域361の電荷を除去するために、ベース間のチャネル領域369上部に薄い酸化膜370およびゲート366（上記駆動線364の一部）を配したPMOS380が形成されている。

【0006】また、各単位セルをY方向に分離するために、厚い酸化膜373および不純物層（分離層）374等も形成されている。図10に示した周辺回路部322は、上記駆動線364などを介してこのような各単位セルに接続されている。画素部321の駆動時における周辺回路部322は、単位セル毎に設けられたPMOS380や図示されないスイッチを切り替えることによって、電荷の蓄積および読出しを制御する。

【0007】先ず、周辺回路部322は、駆動線364の電位を適当な値の負電位とすることでPMOS380をオン動作させて、バイポーラトランジスタのベース領域361を接地する。これにより、ベース領域361および容量365に蓄積されていた電荷は排出される。次に、周辺回路部322は、エミッタ領域362を接地させた状態で駆動線364の電位を正電位に切り替え、P

MOS380をオフする。このとき、容量365の容量結合を介してベース電位は上昇するので、バイポーラトランジスタはオン状態となる。ベース領域361はフローティングであるから、そのベース電位は、流れるベース電流によってエミッターベース接合電位付近まで低下する。そして、駆動線364を接地してベース電位を下げることによって、周辺回路部322は、エミッターベースを逆バイアス状態として光電荷を蓄積する。

【0008】その後、周辺回路部322は、エミッタ領域362を信号出力線363に接続し、駆動線364を正電位としてベース電位を上昇させる。この結果、ベース領域361に蓄積された電荷の大小に応じたエミッタ電流が流れ、バイポーラトランジスタで増幅された光信号は、前記信号出力線363を介して周辺回路部322の水平転送用回路へと読み出される。

【0009】以上説明した駆動を行うために、周辺回路部322は、CMOSプロセスによるシフトレジスタ等の回路を備えている。図14は、周辺回路部322におけるNMOS領域394とPMOS領域393との境界部分の平面図であり、図15は、図14のX-X'位置における断面図である。

【0010】周辺回路部322では、図15に明らかのように、N型高濃度基板301上に、低濃度N型エピタキシャル成長層302、P型埋め込み拡散領域309が順に形成され、さらにその上にPウエル領域304およびNウエル領域303が形成されており、これらの層を基礎構造としてCMOS回路領域390が形成されている。

【0011】CMOS回路領域390では、Pウエル領域304およびNウエル領域303上に、それぞれNMOS領域394およびPMOS領域393が形成され、両者には共通のポリシリコンゲート308が形成されている。このうち、NMOS領域394のPウエル領域304中にはN型ドレイン領域305が形成され、一方のPMOS領域393のNウエル領域303中にはP型ソース領域306が形成されており、両者はコンタクトホール310を介してアルミニウム等の電極307にて接続されている。

【0012】なお、各MOS間の横方向の分離は、LOCOS領域境界311によって図られる。ここで、周辺回路部322の基礎構造において、P型埋め込み拡散領域309が形成される理由は、Nウエル領域303とN型高濃度半導体基板301とを分離し、かつソフトエラーを防止するためである。すなわち、このP型埋め込み拡散領域309とPウエル領域304とを電氣的に接続し、表面側のNウエル領域303を取り囲むことによって、そのNウエル領域303とN型高濃度半導体基板301との電位を分離するのである。

【0013】図16は、このような固体撮像素子320の基礎構造の製造工程を説明する図であり、図10にお

いて画素部321と周辺回路部322の境界に当たるC1-C2断面図を製造工程順に示したものである。先ず、上述したP型埋め込み拡散領域309を形成する必要から、N型高濃度半導体基板301上に低濃度N型エピタキシャル成長層302を形成し(図16(a))、周辺回路部322にのみP型埋め込み拡散領域309を形成し(図16(b))、さらにその上に、低濃度N型エピタキシャル成長層312を形成する(図16(c)(d))。その後、周辺回路部322においては、低濃度N型エピタキシャル成長層312に所定の処理が施され、上記したPウエル領域304およびNウエル領域303が形成される(図16(e))。

【0014】この構成を基礎構造として、画素部321には上記したフォトダイオード領域360(図11~図13参照)が、周辺回路部322には上記したCMOS回路領域390(図14、図15参照)がそれぞれ形成される。

【0015】

【発明が解決しようとする課題】ところで、上記製造工程において、低濃度エピタキシャル成長層312を形成する際(図16(c))には、P型埋め込み拡散領域309のP型不純物313が、低濃度N型エピタキシャル成長層302、312の界面に偏積するという事態が生じている。

【0016】これにより、画素部321、特に図10において斜線で示す部分には、P型拡散層または中性領域に近い層が形成されてしまう(前述の図12、図13、図16中、符号375)。以下、このようにして形成されたP型拡散層または中性領域に近い層を「偏積層」という。この原因を具体的に説明すると、P型埋め込み拡散領域309のP型不純物濃度は、上記したようにNウエル領域303とN型高濃度半導体基板301とを分離するために比較的高濃度であることが要求されるので、例えば、最大濃度として $1E16/cm^3 \sim 1E19/cm^3$ が設定される。このため、低濃度N型エピタキシャル成長層312の形成開始時、つまり2回目のエピタキシャル成長(図16(c))において行われるアレ高温水素クリーニングの際には、この高い濃度のP型不純物の一部(図中符号313)が雰囲気中に発散してしまう。そして、その発散したP型不純物313は、エピタキシャル成長直前の活性な状態の低濃度N型エピタキシャル成長層302に再付着し、その後、層の中へと拡散してしまうと考えられる。

【0017】このように形成された偏積層375は、低濃度N型エピタキシャル成長層302、312の界面にしか認められないが、前述の図11~図13に示した如く、画素部321におけるバイポーラトランジスタのベース領域361とコレクタ領域367の電位制御は、高濃度N型基板301から低濃度N型エピタキシャル成長層302、312を介して供与されるため、その偏積層

375からの影響を受ける。この偏積層375の抵抗によって電位降下が生じ、電位制御が適正に行われなくなるのである。

【0018】この結果、感度低下や消費電力の増大等の問題が生じ、固体撮像素子320の性能は著しく低下する。また、図10に示すように、画素部321には偏積層375の影響を受け易い領域と受けにくい領域とがあるので、画素間の特性のばらつきも生じている。固体撮像素子320の性能低下については、このばらつきもその要因の1つとなっている。

【0019】本発明は、このような問題に鑑みてなされたもので、上記偏積層375の形成を抑えることによって、半導体集積回路の性能を向上させることを目的とする。

【0020】

【課題を解決するための手段】請求項1に記載の発明は、複数種類の回路部を混在形成するための基礎構造として、第1導電型半導体基体上に第1の第1導電型領域と第2の第1導電型領域とが順に積層され、そのうち一部種類の回路部の形成区域については、2つの第1導電型領域の間に第2導電型埋め込み領域が設けられている半導体集積回路において、第1の第1導電型領域の不純物濃度は、第2の第1導電型領域の不純物濃度よりも高いことを特徴とする。

【0021】請求項2に記載の発明は、請求項1に記載の半導体集積回路において、第1の第1導電型領域の不純物濃度は、第2の第1導電型領域の不純物濃度の2倍以上であることを特徴とする。請求項3に記載の発明は、請求項1または請求項2に記載の半導体集積回路において、第1の第1導電型領域の不純物濃度は、第2導電型埋め込み領域の不純物濃度の1/10倍以上であることを特徴とする。

【0022】請求項4に記載の発明は、請求項1から請求項3の何れか1項に記載の半導体集積回路において、第1導電型はN型であり、かつ第2導電型はP型であることを特徴とする。請求項5に記載の発明は、請求項1から請求項4の何れか1項に記載の半導体集積回路において、第2の第1導電型領域は、エピタキシャル法（気相成長法）により形成されることを特徴とする。

【0023】請求項6に記載の発明は、画素部および周辺回路部の共通の基礎構造として、第1導電型半導体基板上に第1の第1導電型領域と第2の第1導電型領域と

が順に積層され、そのうち周辺回路部の形成区域については、2つの第1導電型領域の間に第2導電型埋め込み領域が設けられている固体撮像素子において、第1の第1導電型領域の不純物濃度は、第2の第1導電型領域の不純物濃度よりも高いことを特徴とする。

【0024】（作用）請求項1に記載の発明では、複数種類の回路部の基礎構造として、第1半導体基体上に、比較的不純物濃度の高い第1の第1導電型領域と、第2の第1導電型領域とを有し、さらに一部種類の回路部においては、両者間に第2導電型埋め込み領域を有する。一般に、このような基礎構造の形成は、第1導電型半導体基体上に、第1の第1導電型領域、第2導電型埋め込み領域、第2の第1導電型領域の順に行われる。

【0025】従来は、このうち第2の第1導電型領域の形成時に、第2導電型埋め込み領域の不純物の一部（第2導電型不純物）が第1の第1導電型領域に偏積していた。しかし、請求項1に記載の発明では、第1の第1導電型領域の不純物濃度は、第2の第1導電型領域の不純物濃度よりも高くなっているため、第2の第1導電型領域の形成時に上層側（反基体側）に拡散させることができる。この結果、第1の導電型領域に偏積する第2導電型不純物は、このように拡散した第1導電型領域の不純物（第1導電型不純物）によって、ある程度相殺されることになる。

【0026】したがって、上記偏積層375（図12、図13参照）の形成は抑えられ、半導体集積回路の性能は向上する。請求項2に記載の発明では、第1の第1導電型領域の不純物濃度は、第2の第1導電型領域の不純物濃度の2倍以上である。第1の第1導電型領域の不純物濃度を第2の第1導電型領域と比較してこの程度の値にまで高めることによって、確実に偏積層の形成を抑えることができる。

【0027】請求項3に記載の発明では、第1の第1導電型領域の不純物濃度は、第2導電型埋め込み領域の不純物濃度の1/10倍以上である。第1の第1導電型領域の不純物濃度を第2導電型埋め込み領域と比較して適当な値にまで高めることによって、より確実に半導体集積回路の性能を向上させることができる。なお、表1は、第1の第1導電型領域および第2導電型埋め込み領域それぞれの不純物濃度と、それらを基礎構造として有する半導体集積回路の特性を示す実験結果である。

【表1】



(a) 第1の第1導電型領域の不純物濃度	(b) 第2導電型埋め込み領域の不純物濃度	(a) / (b) 相対不純物濃度倍率	良否
3E14 /cm <sup>3</sup>	5E16 /cm <sup>3</sup>	約 1/167倍	×
1E15 /cm <sup>3</sup>	5E16 /cm <sup>3</sup>	約 1/60 倍	×
1E15 /cm <sup>3</sup>	1E16 /cm <sup>3</sup>	約 1/10 倍	○*
3E16 /cm <sup>3</sup>	2E17 /cm <sup>3</sup>	約 1/7 倍	○

○\*は、素子特性で評価した結果、それ以外は不純物濃度プロファイルで評価した結果

表1に示すとおり、第2導電型埋め込み領域の不純物濃度 (b) に対する第1の第1導電型領域の不純物濃度 (a) の倍率 (相対不純物濃度倍率 (a) / (b)) が 1/10倍より小さいと、偏積層の悪影響により半導体集積回路の特性は許容できない範囲にまで低下する (表1中×印) が、この倍率が1/10倍以上であると、その特性は良好となる (表1中○印) という結果が得られている。

【0028】請求項4に記載の発明では、第1導電型はN型であり、かつ第2導電型はP型である。上記したように、偏積層の形成は、第2導電型埋め込み領域の不純物の偏積によって生じるが、特に、その不純物の導電型がP型である場合 (例えばボウ素) には、上記した発散が顕著となるため偏積が生じやすい。したがって、導電型の組み合わせを上記のとおりとする半導体集積回路において、第1の第1導電型領域の不純物濃度を高くしてその偏積層375の形成を抑えることは、大変有効となる。

【0029】請求項5に記載の発明では、第2の第1導電型領域は、エピタキシャル法 (気相成長法) により形成される。上記したように、このエピタキシャル法では、エピタキシャル成長を行う前にプレ高温水素クリーニングを行うが、この際に、先に形成された第2導電型埋め込み領域の不純物の一部が雰囲気中に発散してしまい、エピタキシャル成長直前の活性な状態の第1の第1導電型領域に再付着し、その領域中へと拡散してしまう。

【0030】つまり、エピタキシャル法は、その原理的な理由から、偏積層が形成され易い。したがって、第1の第1導電型領域の不純物濃度を高くしてその形成を抑えることは、大変有効となる。請求項6に記載の発明は、画素部および周辺回路部の共通の基礎構造として、第1半導体基体上に、比較的不純物濃度の高い第1の第1導電型領域と、第2の第1導電型領域とを有し、さらに周辺回路部においては、両者間に第2導電型埋め込み領域を有する。

【0031】一般に、画素部の各画素では、この基礎構造上にフォトダイオード領域を有しており、第2の第1導電型領域側から入射する光の比較的長波長側まで感度

を持たせて光電変換効率を高めるために、また、隣接画素への光発生電荷の混入 (クロストーク) を低減させるために、その空乏層を拡げる必要がある。したがって、第1および第2の第1導電型領域の不純物濃度については、なるべく低濃度にするのが好ましい。

【0032】その一方で、入射する光の強度は、第1導電型半導体基体へ向かうに従って指数関数的に低下するので、その基体側に形成されている第1の第1導電型領域の不純物濃度に限っては、適当な範囲内で高くしても上記クロストークの悪影響が生じない。以上の理由から、請求項6に記載の発明では、第1の第1導電型領域の不純物濃度を上げることによって、画素間のクロストークを抑えると共に受光感度を保ちながら、偏積層の形成を抑えることができる。したがって、固体撮像素子全体としての性能は向上する。

【0033】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。

<第1実施形態> 先ず、図1、図2、図3、図4を参照して本発明の第1実施形態について説明する。本実施形態は、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6に対応する。

【0034】図1は、第1実施形態の固体撮像素子100 (請求項1の半導体集積回路および請求項6の固体撮像素子に対応する) の構成を示す図である。固体撮像素子100は、図10に示した従来の固体撮像素子320と同様に、同一チップ上に画素部101と周辺回路部102とが形成されてなる。図2は、固体撮像素子100の基礎構造の製造工程を説明する図であり、図1において画素部101と周辺回路部102の境界に当たるC1-C2断面図を製造工程順に示したものである。図2において、図16に示す従来例と同じものについては同一の符号を付して示す。

【0035】先ず、周辺回路部102にP型埋め込み拡散層 (第2導電型埋め込み領域に対応する) を形成する必要から、N型高濃度半導体基板 (第1導電型半導体基体に対応する) 301上に、第1の低濃度N型エピタキシャル成長層 (第1の第1導電型領域に対応する) 103が形成される。第1実施形態におけるこの第1の低濃

度N型エピタキシャル成長層103については、不純物濃度が $1\sim 9E15/cm^3$ 、膜厚が $3\sim 8\mu m$ になっている(図2(a))。

【0036】次いで、周辺回路部102にのみP型埋め込み拡散領域309が形成される(図2(b))。この際には、先ずP型埋め込み拡散領域309を形成すべき領域のみマスク開口した状態でイオン注入にてP型不純物を導入し、その後熱拡散の処理を行い所定の深さのP型埋め込み拡散領域309を形成する。この不純物濃度としては、その後形成されるNウェル領域303とN型高濃度半導体基板301との分離をする必要上、最大濃度として $1E16/cm^3\sim 1E19/cm^3$ 程度が必要となる。

【0037】次いで、第2の低濃度N型エピタキシャル成長層(第2の第1導電型領域に対応する)104を形成する(図2(c)(d))。この第2の低濃度N型エピタキシャル成長層104の不純物濃度は、空乏層を拡げて入射光に対する感度を高めるためにも低濃度が好ましく、 $2\sim 10E14/cm^3$ とされる。また、膜厚は、 $3\sim 10\mu m$ とされる。

【0038】さらに、周辺回路部102においては、通常のフォトリソグラフィ技術とイオン注入技術及び熱処理が施され、Pウェル領域304およびNウェル領域303が形成される(図2(e))。第1実施形態では、第1の低濃度N型エピタキシャル成長層103の不純物濃度は、第2のエピタキシャル成長層104の不純物濃度よりも適度に高くなっている。

【0039】このような第1の低濃度N型エピタキシャル成長層103のN型不純物は、低濃度N型エピタキシャル成長層104の形成時、つまり2回目のエピタキシャル成長の際に、高温となって上層側(反基板側)に約 $1\mu m$ 程度拡散する。そして、この2回目のエピタキシャル成長時(図2(c))に特に顕著に混入するP型不純物313は、このように拡散するN型不純物によってある程度相殺される。

【0040】したがって、図にも明らかなように、従来の単位セルの基礎構造部分に形成されていた偏積層375(図12、図13参照)は、無視できる程度になる。以上の工程により形成される構造を基礎構造として、画素部101には、各単位画素のフォトダイオード領域、周辺回路部102にはCMOS回路領域が、それぞれ従来と同じ所定の方法で形成される。

【0041】なお、図3、図4は、画素部101の単位セルの断面図である。図3は従来の単位セルを示す図12と同方向の断面図であり、図4は従来の単位セルを示す図13と同方向の断面図である。図3、図4において、図12、図13に示す従来例と同じものについては同一の符号を付して示し、ここではその説明を省略する。

【0042】第1実施形態では、上述したように偏積層

375の形成は抑えられているので、周辺回路部102によって従来と同様に行われるバイポーラトランジスタの電位制御では、N型高濃度半導体基板301の領域から主表面側の第2の低濃度N型エピタキシャル成長層104への抵抗増大は、抑えられる。したがって、その電位制御は、確実に行われる。

【0043】なお、単位セルでは、入射光(hν)の比較的長波長側まで感度を持たせて光電変換効率を高めるために、また、隣接画素への光発生電荷の混入(クロストーク)を低減させるために、空乏層を拡げる必要がある。したがって、第1および第2の低濃度N型エピタキシャル成長層103、104の不純物濃度については、なるべく低濃度にするのが好ましい。

【0044】その一方で、入射光(hν)の強度は、N型高濃度半導体基板301へ向かうに従って指数関数的に低下するので、基板側に形成されている第1の低濃度N型エピタキシャル成長層103の不純物濃度に限っては、適当な範囲内で高くしても上記クロストークの悪影響が生じない。以上の理由から、第1実施形態では、第1の低濃度N型エピタキシャル成長層103の不純物濃度を適度に上げることによって、画素間のクロストークを抑えると共に受光感度を保ちながら偏積層375(図12、図13参照)の形成を抑えることができるので、固体撮像素子100全体としての性能は向上する。

【0045】特に、第1の低濃度N型エピタキシャル成長層103のN型不純物濃度を、第2の低濃度N型エピタキシャル成長層104のN型不純物濃度の2倍以上にすれば、より確実に偏積層形成を抑えることができる(請求項2に対応)。また、第1の低濃度N型エピタキシャル成長層103のN型不純物濃度を、P型埋め込み拡散領域309のP型不純物濃度の $1/10$ 倍以上にすれば、表1にも明らかなように、確実に固体撮像素子100の性能を向上させることができる(請求項3に対応)。

【0046】<第2実施形態>次に、図5、図6、図7、図8、図9を参照して本発明の第2実施形態について説明する。本実施形態は、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6に対応する。ここでは、第1実施形態との相違点についてのみ説明し、その他の部分については説明を省略する。

【0047】図5は、第2実施形態の固体撮像素子190の回路図である。第2実施形態の固体撮像素子190(請求項1の半導体集積回路および請求項6の固体撮像素子に対応する)は、第1実施形態と異なり、各単位画素31のトランジスタとして接合型電界効果トランジスタ(JFET)が使用される。第2実施形態では、このような単位画素31を複数(図では $3\times 3$ 個)有した画素部191、およびその駆動を行う周辺回路部192(CMOSプロセスによる)の構成は、第1実施形態と若干異なるが、全体の基礎構造は図2に示すものと基本

的に同じである。

【0048】すなわち、N型高濃度半導体基板上に、第1の低濃度N型エピタキシャル成長層、第2の低濃度N型エピタキシャル成長層を順に有し、特に周辺回路部192においては、第1の低濃度N型エピタキシャル成長層と第2の低濃度N型エピタキシャル成長層との間にP型埋め込み拡散領域が形成されている。このうち、第1の低濃度N型エピタキシャル成長層は、N型不純物濃度が $1 \sim 9 \times 10^{15} / \text{cm}^3$ （好適には $1 \sim 2 \times 10^{15} / \text{cm}^3$ ）、膜厚が $3 \sim 10 \mu\text{m}$ となっており、第2の低濃度N型エピタキシャル成長層は、N型不純物濃度が $2 \sim 10 \times 10^{14} / \text{cm}^3$ （好適には $3 \sim 6 \times 10^{14} / \text{cm}^3$ ）、膜厚が $3 \sim 10 \mu\text{m}$ となっている。

【0049】図6は、画素部191の単位セルを示す平面図である。図7は、図6のX1-X2位置における断面図であり、図8は、図6のY1-Y2位置における断面図であり、図9は、図6のY3-Y4位置における断面図である。

【0050】単位セルでは、N型高濃度半導体基板193上に、上記した不純物濃度の第1の低濃度N型エピタキシャル成長層194、第2の低濃度N型エピタキシャル成長層195が順に形成されている。この基礎構造上には、入射光に応じた光発生電荷を蓄積するための埋め込みフォトダイオード（BPD）201と、蓄積された電荷を増幅するJFET202と、JFET202のゲート電位を制御するリセットドレイン（RSD）203とが形成されている。なお、JFET202は、P型ゲート領域206とN型チャネル領域216とN型ソース領域209とN型ドレイン領域208とからなり、また、RSD203は、P型電荷蓄積層207からなる。

【0051】また、単位セルには、BPD201からJFET202のP型ゲート領域206へ電荷を転送するための転送ゲート（TG）205や、JFET202のP型ゲート領域206をリセットし、制御するためのリセットゲート（RSG）204、余剰電荷を除去するためのラテラルオーバーフロードレイン（LOD）214が形成され、さらに、1層目アルミニウムによるソースライン210、2層目アルミニウムによる遮光膜兼用RSD配線211、コンタクトホール212、スルーホール213、1層目アルミニウム接続配線215、JFETのN型ソース領域へのコンタクトホール217、ポリシリコンによるRSG配線218、ポリシリコンによるTG配線219等も形成されている。

【0052】図5点線で示す単位画素31内には、上記JFET202の他、TG205や、RSG204等により構成されるPMOS31aおよびPMOS31b、JFET202のN型ドレイン31cを示した。このような単位画素31からなる画素部191は、JFETのソースライン32a～32c、転送ゲート（TG）駆動用配線33a～33c、リセットドレイン（RSD）駆

動用配線50a～50c、リセットゲート（RSG）駆動用配線37a等を介して、水平走査回路40、垂直走査回路34、定電流源44等を含む周辺回路部192に接続されている。

【0053】画素部191の駆動時に周辺回路部192は、単位画素31毎に設けられた各スイッチを切り替えることによって、電荷の蓄積および読出しを行う。この電荷蓄積および読出しの動作において、JFET202のドレイン208の電位は、図7、図8、図9に示すN型高濃度半導体基板193から低濃度N型エピタキシャル成長層194、195を経由して表面側へと供与される。

【0054】上記したとおり、第2実施形態の基礎構造では、第1実施形態と同様に第1の低濃度N型エピタキシャル成長層201の不純物濃度が適度に高いので、偏積層375（図12、図13参照）の形成が抑えられている。したがって、このN型高濃度半導体基板193からJFETのドレイン208への電位供給は良好に行われ、JFETのソース209とドレイン208間の電位差不足による特性の悪化は抑えられる。

【0055】この結果、第2実施形態の固体撮像素子190の性能は向上する。特に、第1の低濃度N型エピタキシャル成長層194のN型不純物濃度を、第2の低濃度N型エピタキシャル成長層195のN型不純物濃度の2倍以上にすれば、より確実に偏積層の形成を抑えることができる（請求項2に対応）。また、第1の低濃度N型エピタキシャル成長層194のN型不純物濃度を、周辺回路部192のP型埋め込み拡散領域（不図示）のP型不純物濃度の $1/10$ 倍以上にすれば、表1にも明らかなように、確実に固体撮像素子190の性能を向上させることができる（請求項3に対応）。

【0056】なお、上記各実施形態では、複数種の回路部として画素部と周辺回路部とが同一チップ上に形成された固体撮像素子を説明した。このような適用例が特に高い効果を得られるのであるが、基礎構造として第1導電型半導体基板上に第1の第1導電型領域と第2の第1導電型領域とが順に積層されており一部種類の回路部の形成区域に第2導電型埋め込み領域が設けられているのであれば、他の種類の半導体集積回路においても効果は得られる。

【0057】また、上記各実施形態においてP型とN型とを反対にしてできる半導体集積回路について、第1の第1導電型領域に対応するP型領域の不純物濃度を適度に高くすることによっても、回路の性能を向上させることができる。また、上記各実施形態では、第1導電型半導体基体として半導体基板を使用している例を挙げているが、その基礎構造を電氣的に同様の構造とすることができるのであれば、第1導電型半導体として、半導体基板上に形成された第1導電型領域を使用してもよい。

【0058】また、上記各実施形態では、第2および第

1の第1導電型領域に対応する層が、エピタキシャル法によって形成される例を挙げている。このような例が特に高い効果を得られるのであるが、この2層が第2導電型埋め込み領域を間に挟んで順に積層されるのであれば、他の方法によって形成されたものであっても効果は得られる。

【0059】

【発明の効果】請求項1に記載の発明では、第1の第1導電型領域の不純物濃度を高くすることによって偏積層の形成を抑えるので、半導体集積回路の性能は向上する。請求項2に記載の発明では、第1の第1導電型領域の不純物濃度を第2の第1導電型領域の不純物濃度の2倍以上とすることによって、確実に偏積層の形成を抑える。

【0060】請求項3に記載の発明では、第1の第1導電型領域の不純物濃度を、第2導電型埋め込み領域の不純物濃度の1/10倍以上とすることによって、表1に示す実験結果により明らかなように、確実に半導体集積回路の性能を向上させることができる。請求項4に記載の発明では、請求項1から請求項3の何れか1項に記載の発明を、第2導電型埋め込み領域の導電型がP型である半導体集積回路に適用する。このような半導体集積回路では、上記偏積が顕著となるので、第1の第1導電型領域の不純物濃度を高くして偏積層の形成を抑えることは、大変有効となる。

【0061】請求項5に記載の発明では、請求項1から請求項4の何れか1項に記載の発明を、エピタキシャル法によって形成される半導体集積回路に適用する。エピタキシャル法は、その原理的な理由から偏積層が形成され易いので、第1の第1導電型領域の不純物濃度を高くしてその偏積層の形成を抑えることは、大変有効となる。

【0062】請求項6に記載の発明では、第1の第1導電型領域の不純物濃度を上げることによって、画素間のクロストークを抑えると共に受光感度を保ちながら、偏積層375の形成を抑えることができる。したがって、固体撮像素子全体としての性能は向上する。

【図面の簡単な説明】

【図1】第1実施形態の固体撮像素子100の構成を示す図である。

【図2】固体撮像素子100の基礎構造の製造工程を説明する図であり、図1において画素部101と周辺回路部102の境界に当たるC1-C2断面図を製造工程順

に示したものである。

【図3】画素部101の単位セルの断面図である。

【図4】画素部101の単位セルの断面図である。

【図5】第2実施形態の固体撮像素子190の回路図である。

【図6】画素部191の単位セルを示す平面図である。

【図7】図6のX1-X2位置における断面図である。

【図8】図6のY1-Y2位置における断面図である。

【図9】図6のY3-Y4位置における断面図である。

【図10】同一チップ上に形成された画素部321と周辺回路部322とを示す図である。

【図11】画素部321の単位画素をなす単位セルの平面図である。

【図12】図11のX-X'位置における断面図である。

【図13】図11のY-Y'位置における断面図である。

【図14】周辺回路部322におけるNMOS領域394とPMOS領域393との境界部分の平面図である。

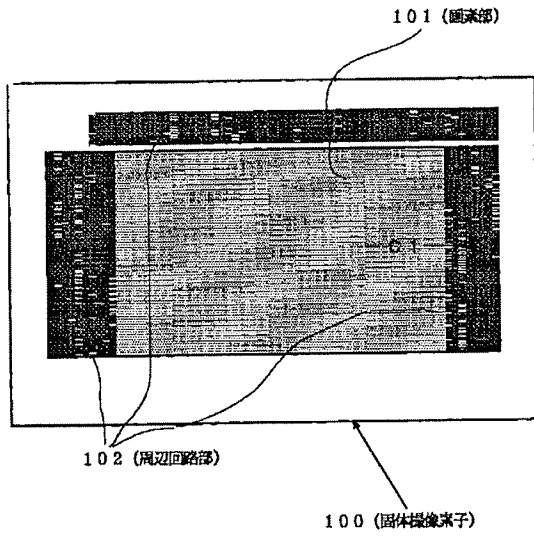
【図15】図14のX-X'位置における断面図である。

【図16】固体撮像素子320の基礎構造の製造工程を説明する図である。

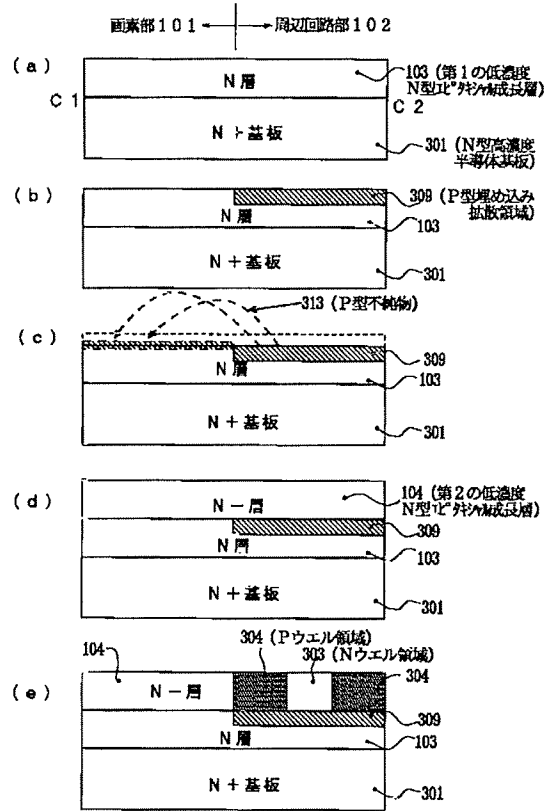
【符号の説明】

100, 190, 320 固体撮像素子  
101, 191, 321 画素部  
102, 192, 322 周辺回路部  
103, 194 第1の低濃度N型エピタキシャル成長層  
104, 195 第2の低濃度N型エピタキシャル成長層  
193, 301 N型高濃度半導体基板  
302, 312 低濃度N型エピタキシャル成長層  
375 偏積層  
309 P型埋め込み拡散領域  
303 Nウェル領域  
304 Pウェル領域  
313 発散したP型不純物  
360 フォトダイオード領域  
390 CMOS領域  
394 NMOS領域  
393 PMOS領域

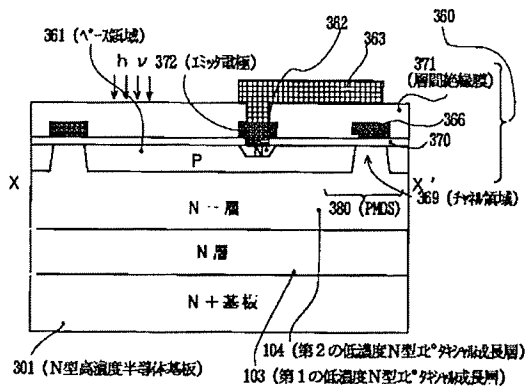
【図1】



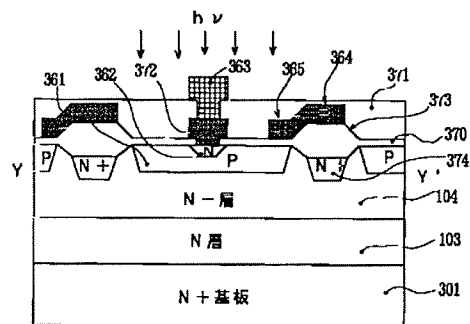
【図2】



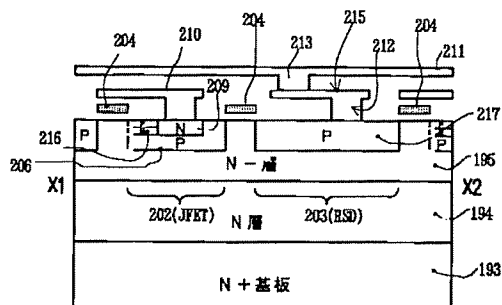
【図3】



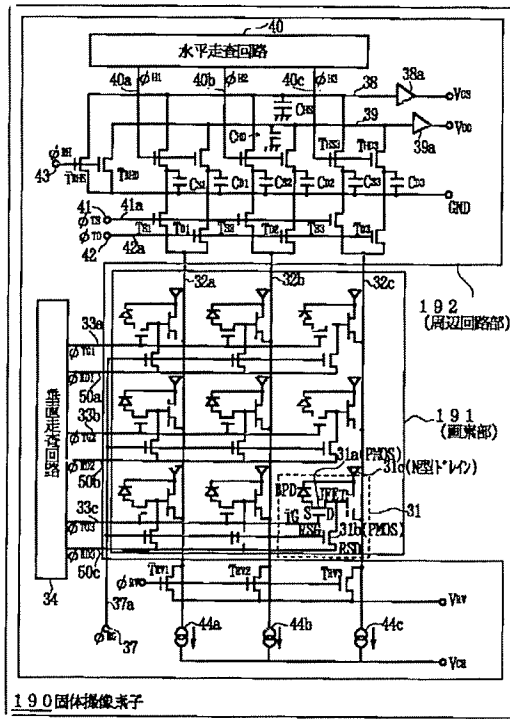
【図4】



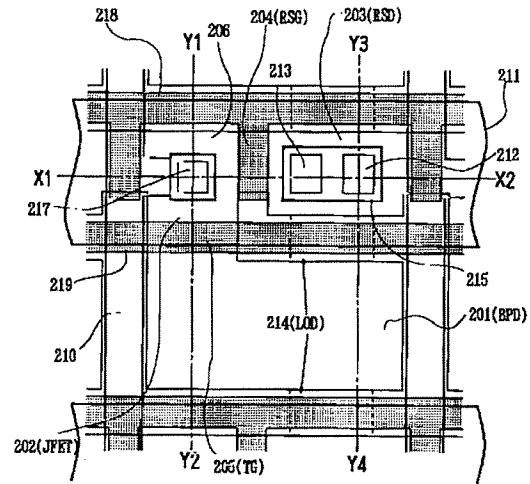
【図7】



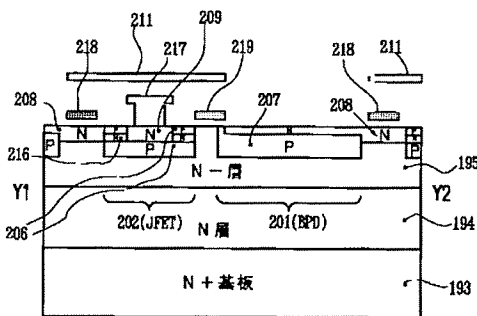
【図5】



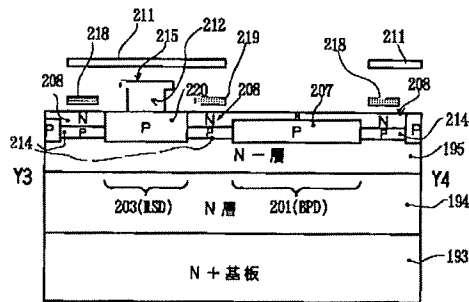
【図6】



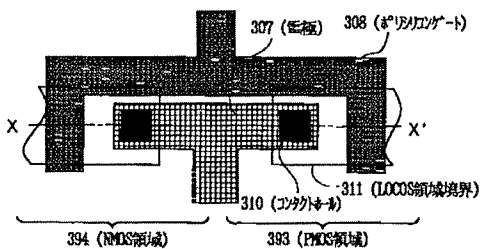
【図8】



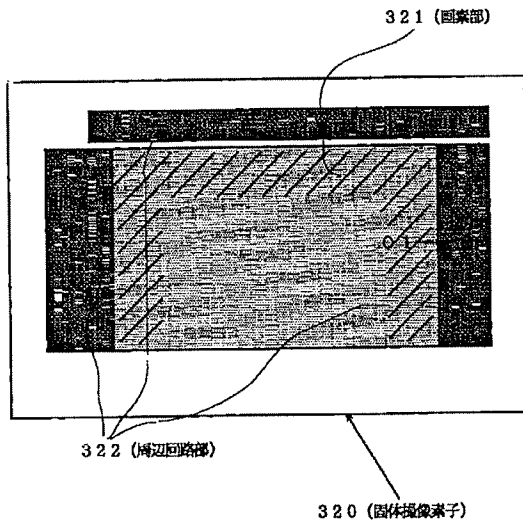
【図9】



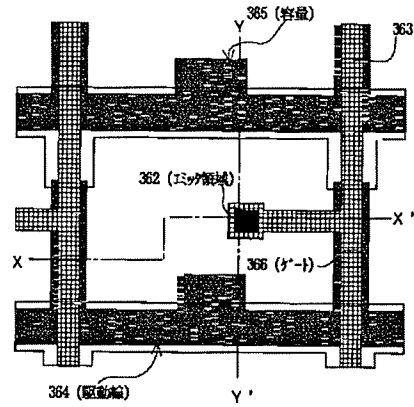
【図14】



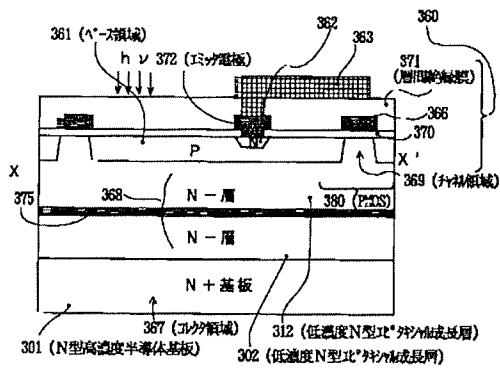
【図10】



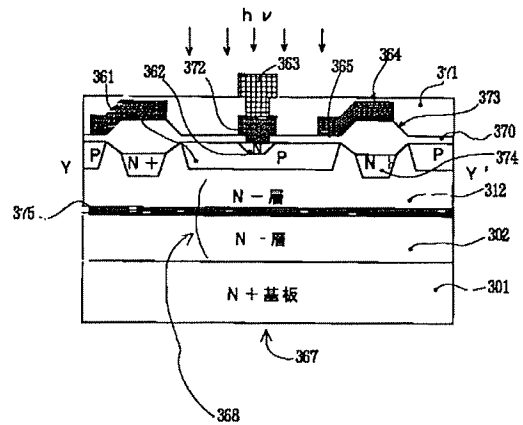
【図11】



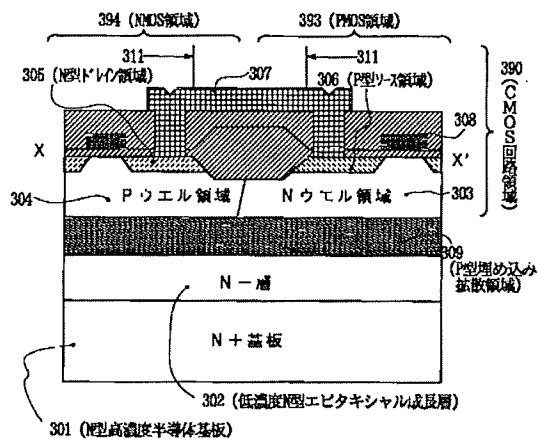
【図12】



【図13】



【図15】



【図16】

